

**Biên soạn: TS. TRƯƠNG PHONG TUYẾN (Chủ biên)  
TS. NGUYỄN CAO QUÍ**

# **THỰC TẬP THIẾT KẾ HỆ THỐNG SỐ**



**NHÀ XUẤT BẢN ĐẠI HỌC CẦN THƠ  
2021**



# LỜI TỰA

Ngành Kỹ thuật Máy tính được bắt đầu tuyển sinh và đào tạo tại trường Đại học Cần Thơ từ năm 2008. Đây là một ngành học có sự kết hợp kiến thức chuyên môn của 2 lĩnh vực phần cứng điện tử và thiết kế phần mềm. Trong đó Thiết kế Hệ thống số là một trong các học phần cốt lõi trong chương trình đào tạo. Nội dung của học phần này nhằm kịp thời cập nhật các kiến thức và phương pháp thiết kế hệ thống thông qua việc lập trình sử dụng ngôn ngữ mô tả phần cứng (Hardware Description Language, HDL) dựa trên kỹ thuật mảng logic khả trình (Field Programmable Gate Array, FPGA).

Tài liệu hướng dẫn học tập này được sử dụng hướng dẫn thực tập cho người học học phần Thiết kế Hệ thống số. Nội dung gồm 6 bài thực tập được chia làm 4 mảng kiến thức chính sau:

- *Bài 1 - Giới thiệu board Altera DE2-115, phần mềm Quartus II và Modelsim.*

- *Bài 2 và Bài 3 - Mạch tổ hợp.* Nội dung hướng dẫn lập trình thiết kế dạng mạch số tổ hợp thông qua 6 bài tập thực hành: thiết kế cổng logic AND, OR, mạch kiểm tra chẵn lẻ, mạch cộng bán phần, mạch cộng toàn phần và mạch mã hóa ưu tiên 8 đường sang 3 đường.

- *Bài 4 và Bài 5 - Mạch tuần tự.* Nội dung hướng dẫn lập trình thiết kế dạng mạch số tuần tự thông qua 6 bài tập thực hành: thiết kế flip-flop D, mạch dịch trái, mạch dịch trái/phải, mạch đếm lên, mạch đếm lên/xuống, mạch đếm vòng.

- *Bài 6 - Máy trạng thái hữu hạn.* Nội dung hướng dẫn thiết kế các hệ thống số áp dụng phương pháp máy trạng thái Moore và Mealy thông qua 3 bài thực tập thiết kế: mạch phát hiện chuỗi bit lần lượt áp dụng máy hữu hạn Moore và Mealy, đèn giao thông.

Ngoài ra ở cuối tài liệu còn có Phụ lục là Bảng gán chân một số ngoại vi phần cứng trên board Altera DE2-115 giúp người học thuận tiện tra cứu, sử dụng trong các bài thực hành.

**NHÓM TÁC GIẢ**



# MỤC LỤC

Lời tựa		
Mục lục	i	
Danh mục hình	iv	
Danh mục bảng	xii	
Danh mục từ viết tắt	xiii	
<b>Bài 1</b>	<b>GIỚI THIỆU BOARD ALTERA DE2-115, PHẦN MỀM QUARTUS II VÀ MODELSIM</b>	<b>1</b>
<b>1.1</b>	<b>Giới thiệu board Altera DE2-115</b>	<b>1</b>
<b>1.2</b>	<b>Các ngoại vi có trên board Altera DE2-115</b>	<b>2</b>
1.2.1	Nút nhấn	2
1.2.2	Công tắc	3
1.2.3	LED đơn	3
1.2.4	LED 7 đoạn	3
1.2.5	PS/2 Serial Port	4
1.2.6	Cổng VGA	4
1.2.7	SRAM	5
1.2.8	SDRAM	5
1.2.9	FLASH	6
1.2.10	EEPROM	6
1.2.11	Thẻ nhớ SD	7
<b>1.3</b>	<b>Phần mềm ModelSim</b>	<b>7</b>
<b>1.4</b>	<b>Phần mềm Quartus II</b>	<b>12</b>
1.4.1	Hướng dẫn cài đặt Quartus II	12
1.4.2	Kiểm tra hoạt động của board Altera DE2-115	13
1.4.3	Hướng dẫn sử dụng Quartus II để thiết kế hệ thống	14
<b>Câu hỏi và bài tập</b>		<b>20</b>
<b>Bài 2</b>	<b>MẠCH TỔ HỢP</b>	<b>21</b>
<b>2.1</b>	<b>CỔNG AND</b>	<b>21</b>
2.1.1	Mô phỏng thiết kế cổng AND	21
2.1.2	Thực hiện thiết kế cổng AND	24

2.2	CỔNG OR	28
2.2.1	Mô phỏng thiết kế cổng OR	28
2.2.2	Thực hiện thiết kế cổng OR	30
2.3	MẠCH KIỂM TRA CHẶN LỀ	32
2.3.1	Mô phỏng mạch kiểm tra chẵn lẻ	33
2.3.2	Thực hiện thiết kế mạch kiểm tra chẵn lẻ	35
<b>Câu hỏi và bài tập</b>		<b>38</b>
<b>Bài 3 MẠCH TỔ HỢP (TIẾP THEO)</b>		<b>39</b>
3.1	MẠCH CỘNG BÁN PHẦN	39
3.1.1	Mô phỏng mạch cộng bán phần	40
3.1.2	Thực hiện mạch cộng bán phần	42
3.2	MẠCH CỘNG TOÀN PHẦN	44
3.2.1	Mô phỏng mạch cộng toàn phần	45
3.2.2	Thực hiện mạch cộng toàn phần	48
3.3	MẠCH MÃ HÓA ƯU TIÊN 8 ĐƯỜNG SANG 3 ĐƯỜNG	52
3.3.1	Thực hiện mô phỏng mạch mã hóa ưu tiên 8 đường sang 3 đường	52
3.3.2	Thực hiện mạch mã hóa ưu tiên 8 đường sang 3 đường	54
<b>Câu hỏi và bài tập</b>		<b>57</b>
<b>Bài 4 MẠCH TUẦN TỰ</b>		<b>59</b>
4.1	FLIP-FLOP D	59
4.1.1	Mô phỏng Flip-Flop D	60
4.1.2	Thực hiện Flip-Flop D	62
4.2	MẠCH DỊCH TRÁI	65
4.2.1	Mô phỏng mạch dịch trái	65
4.2.2	Thực hiện mạch dịch trái	67
4.3	MẠCH DỊCH TRÁI/PHẢI	70
4.3.1	Mô phỏng mạch dịch trái/phải	70
4.3.2	Thực hiện mạch dịch trái/phải	73
<b>Câu hỏi và bài tập</b>		<b>76</b>
<b>Bài 5 MẠCH TUẦN TỰ (TIẾP THEO)</b>		<b>77</b>
5.1	MẠCH ĐẾM LÊN	77
5.1.1	Mô phỏng mạch đếm lên 4 bit	78
5.1.2	Thực hiện mạch đếm lên 4 bit	80

5.2	MẠCH ĐẾM 4 BÍT – ĐẾM LÊN/XUỐNG	83
5.2.1	Mô phỏng mạch đếm 4 bit – đếm lên/xuống	83
5.2.2	Thực hiện mạch đếm 4 bit – đếm lên/xuống	85
5.3	MẠCH ĐẾM VÒNG	88
5.3.1	Mô phỏng mạch đếm vòng	88
5.3.2	Thực hiện mạch đếm vòng	90
<b>Câu hỏi và bài tập</b>		<b>92</b>
<b>Bài 6 MÁY TRẠNG THÁI HỮU HẠN</b>		<b>93</b>
6.1	MÁY MOORE – MẠCH PHÁT HIỆN CHUỖI BÍT	93
6.1.1	Mô phỏng máy Moore – mạch phát hiện chuỗi bit 1011	93
6.1.2	Thực hiện máy Moore – mạch phát hiện chuỗi bit 1011	97
6.2	MÁY MEALY – MẠCH PHÁT HIỆN CHUỖI BÍT	102
6.2.1	Mô phỏng máy Mealy – mạch phát hiện chuỗi bit 1011	102
6.2.2	Thực hiện máy Mealy – mạch phát hiện chuỗi bit 1011	106
6.3	ĐÈN GIAO THÔNG	109
6.3.1	Mô phỏng đèn giao thông	110
6.3.2	Thực hiện đèn giao thông	115
<b>Câu hỏi và bài tập</b>		<b>119</b>
<b>TÀI LIỆU THAM KHẢO</b>		<b>120</b>

## DANH MỤC HÌNH

Hình 1.1	Hình ảnh thực tế board Altera DE2-115 [1]	2
Hình 1.2	Sơ đồ kết nối giữa 4 nút nhấn và Cyclone IV [1]	2
Hình 1.3	Kết nối giữa các switch và Cyclone IV [1]	3
Hình 1.4	Kết nối giữa các LED đơn và Cyclone IV [1]	3
Hình 1.5	LED 7 đoạn nối với Cyclone IV [1]	4
Hình 1.6a	Sơ đồ kết nối PS/2 trên board DE2-115 [1]	4
Hình 1.6b	Cáp mở rộng PS/2Y [1]	4
Hình 1.7	Sơ đồ kết nối VGA trên board DE2-115 [1]	5
Hình 1.8	Sơ đồ kết nối SRAM trên board DE2-115 [1]	5
Hình 1.9	Sơ đồ kết nối SDRAM trên board DE2-115 [1]	6
Hình 1.10	Sơ đồ kết nối FLASH trên board DE2-115 [1]	6
Hình 1.11	Sơ đồ kết nối bộ nhớ EEPROM trên board DE2-115 [1]	7
Hình 1.12	Sơ đồ kết nối thẻ nhớ SD trên board DE2-115 [1]	7
Hình 1.13	Chọn thư mục cài đặt phần mềm ModelSim	8
Hình 1.14	Trang web đăng ký nhận tập tin bản quyền (license) miễn phí	8
Hình 1.15	Tạo Project mô phỏng mới trên ModelSim	9
Hình 1.16	Đặt tên và chọn nơi lưu dự án mô phỏng	9
Hình 1.17	Tạo mới hoặc thêm file thiết kế vào dự án mô phỏng	10
Hình 1.18	Tạo tập tin thiết kế bằng ngôn ngữ Verilog	10
Hình 1.19	Soạn chương trình bằng ngôn ngữ Verilog	10
Hình 1.20	Hình mô tả bước chọn tập tin thiết kế cần mô phỏng	12
Hình 1.21	Lựa chọn xem dạng sóng kết quả mô phỏng	12
Hình 1.22	Dạng sóng của kết quả mô phỏng	12
Hình 1.23	Chọn thư mục cài đặt phần mềm Altera Quartus II	13
Hình 1.24	Nạp thiết kế xuống board FPGA	13
Hình 1.25	Giao diện phần mềm DE2-115 Control Panel [1]	14
Hình 1.26	Mở chương trình Quartus II	15



Hình 1.27	Cửa sổ giao diện chính của chương trình Quartus II	15
Hình 1.28	Tạo Project mới	15
Hình 1.29	Cửa sổ đặt tên và chọn nơi lưu trữ project	16
Hình 1.30	Chọn chip FPGA sẽ được lập trình	16
Hình 1.31	Chọn thêm tập tin thiết kế vào dự án thiết kế	17
Hình 1.32	Tập tin thiết kế BAI1.v đã được thêm vào dự án thiết kế	17
Hình 1.33	Thêm tập in chương trình kiểm tra thiết kế BAI1	18
Hình 1.34	Thiết lập thiết kế BAI1_test ở mức thiết kế cao nhất	18
Hình 1.35	Gán chân cho hệ thống nhúng	19
Hình 1.36	Kết quả biên dịch, tổng hợp dự án thiết kế Lab1	19
Hình 1.37	Bảng kết quả gán chân cho thiết kế Lab1	19
Hình 1.38	Các bước nạp chương trình xuống board FPGA	20
Hình 2.1	Cổng AND và bảng trạng thái	21
Hình 2.2	Đặt tên và chọn nơi lưu dự án thiết kế (project)	22
Hình 2.3	Đặt tên tập tin lưu tập tin lập trình.	22
Hình 2.4	Thư mục làm việc cho mô phỏng thiết kế cổng AND	23
Hình 2.5	Chọn xem dạng sóng kết quả mô phỏng	23
Hình 2.6	Kết quả mô phỏng, dạng sóng tín hiệu cổng AND	24
Hình 2.7	Chọn nơi lưu và đặt tên cho dự án thiết kế	24
Hình 2.8	Chọn thêm tập tin chương trình vào dự án thiết kế	24
Hình 2.9	Thêm file Verilog HDL vào dự án đã tạo	25
Hình 2.10	Thêm tập tin thiết kế để kiểm tra cổng AND	25
Hình 2.11	Kết quả biên dịch	26
Hình 2.12	Chọn xem dạng RTL của thiết kế BAI2A_test	26
Hình 2.13	Biểu diễn dạng RTL của thiết kế BAI2A_test	27
Hình 2.14	Chọn xem mức thấp hơn của thiết kế BAI2A_test (BAI2A)	27
Hình 2.15	Biểu diễn RTL cho thiết kế BAI2A	27
Hình 2.16	Kết quả việc gán chân cho thiết kế BAI2A_test	27
Hình 2.17	Nạp thiết kế cổng AND xuống chip FPGA trên board DE2-115	28

Hình 2.18	Ký hiệu cổng OR	28
Hình 2.19	Tạo dự án thiết kế cho cổng OR	29
Hình 2.20	Dạng sóng tín hiệu cổng OR trên ModelSim	30
Hình 2.21	Thêm tập tin Verilog HDL BAI2B vào dự án thiết kế	30
Hình 2.22	Thêm tập tin thiết kế để kiểm tra cổng OR	31
Hình 2.23	Kết quả việc gán chân cho hệ thống BAI2B_test	31
Hình 2.24	Biểu diễn cấu trúc RTL của thiết kế BAI2B_test	31
Hình 2.25	Biểu diễn cấu trúc RTL của thiết kế BAI2B	32
Hình 2.26	Nạp thiết kế BAI2B_test xuống board Altera DE2-115	32
Hình 2.27	Sơ đồ nguyên lý mạch kiểm tra chẵn lẻ chuỗi nhị phân 4 bit	32
Hình 2.28	Tạo project mới với tên BAI2C	34
Hình 2.29	Chọn file để tiến hành mô phỏng	35
Hình 2.30	Chọn cửa sổ để chọn xem dạng sóng kết quả mô phỏng	35
Hình 2.31	Kết quả khi chạy mô phỏng BAI2C_tb	35
Hình 2.32	Chọn thêm tập tin vào dự án thiết kế	35
Hình 2.33	Tập tin lập trình BAI2C.v đã được thêm vào dự án thiết kế	36
Hình 2.34	Thiết lập thiết kế BAI2C_test ở mức thiết kế cao nhất	36
Hình 2.35	Kết quả gán chân cho hệ thống BAI2C_test	37
Hình 2.36	Biểu diễn cấu trúc RTL của thiết kế BAI2C_test	37
Hình 2.37	Biểu diễn cấu trúc RTL của thiết kế BAI2C	37
Hình 2.38	Nạp thiết kế BAI2C_test xuống board Altera DE2-115	38
Hình 3.1	Sơ đồ mạch cộng bán phần	39
Hình 3.2	Tạo mới dự án mô phỏng BAI3A	40
Hình 3.3	Chọn chạy mô phỏng cho thiết kế testbench BAI3A_tb	41
Hình 3.4	Chọn xem dạng sóng kết quả mô phỏng BAI3A_tb	41
Hình 3.5	Dạng sóng kết quả mô phỏng BAI3A_tb	42
Hình 3.6	Tạo dự án thiết kế với tên Lab3a	42
Hình 3.7	Thiết lập BAI3A_test ở mức thiết kế cao nhất (Top-Level)	42
Hình 3.8	Kết quả gán chân BAI3A_test	43

Hình 3.9	Biểu diễn cấu trúc RTL cho thiết kế BAI3A_test	43
Hình 3.10	Chọn xem cấu trúc RTL thiết kế BAI3A	43
Hình 3.11	Biểu diễn cấu trúc RTL của thiết kế BAI3A	43
Hình 3.12	Nạp thiết kế BAI3A_test xuống board Altera DE2_115	44
Hình 3.13	Sơ đồ mạch điện mạch công toàn phần	45
Hình 3.14	Tạo dự án mô phỏng BAI3B	45
Hình 3.15	Chọn thực hiện mô phỏng BAI3B_tb	47
Hình 3.16	Chọn xem dạng sóng tín hiệu kết quả mô phỏng BAI3B_tb	47
Hình 3.17	Dạng sóng của tín hiệu kết quả mô phỏng BAI3B_tb	48
Hình 3.18	Tạo dự án thiết kế Lab3b	48
Hình 3.19	Chọn chip FPGA để thực hiện thiết kế	48
Hình 3.20	Thêm 2 tập tin thiết kế BAI3A.v và BAIB.v vào dự án	49
Hình 3.21	Thiết lập BAI3B_test ở mức thiết kế cao nhất (Top-Level)	50
Hình 3.22	Kết quả gán chân cho thiết kế BAI3B_test	50
Hình 3.23	Chọn xem thiết kế BAI3B_test dạng RTL ở mức thấp hơn	50
Hình 3.24	Thiết kế BAI3B_test gồm 2 mạch cộng bán phần (BAI3A)	51
Hình 3.25	Nạp thiết kế BAI3B_test xuống board Altera DE2-115	51
Hình 3.26	Tạo dự án mô phỏng BAI3C	52
Hình 3.27	Chọn xem dạng sóng tín hiệu kết quả mô phỏng	53
Hình 3.28	Dạng sóng của tín hiệu kết quả mô phỏng BAI3C_tb	53
Hình 3.29	Tạo dự án thiết kế với tên Lab3c	55
Hình 3.30	Thêm tập tin chương trình BAI3C.v đã có vào dự án	55
Hình 3.31	Thiết lập BAI3C_test ở mức thiết kế cao nhất (Top-Level)	55
Hình 3.32	Kết quả việc gán mạch mã hóa 8 đường sang 3 đường	56
Hình 3.33	Biểu diễn cấu trúc RTL của thiết kế BAI3C_test	56
Hình 3.34	Nạp thiết kế BAI3C_test xuống mạch thực hành	57
Hình 4.1	Ký hiệu Flip-flop D	59
Hình 4.2	Tạo mới dự án thiết kế với tên Lab4a	60
Hình 4.3	Chọn chạy mô phỏng cho mô-đun BAI4A_tb	61

Hình 4.4	Chọn xem dạng sóng kết quả mô phỏng BAI4A_tb	62
Hình 4.5	Kết quả mô phỏng BAI4A_tb	62
Hình 4.6	Tạo dự án thiết kế với tên Lab4a	62
Hình 4.7	Thiết lập BAI4A_tb.v ở mức thiết kế cao nhất	63
Hình 4.8	Sơ đồ RTL cho BAI4A_tb	63
Hình 4.9	Sơ đồ RTL cho BAI4	64
Hình 4.10	Kết quả gán chân cho dự án thiết kế	64
Hình 4.11	Nạp thiết kế BAI4A_test xuống board Altera DE2_115	64
Hình 4.12	Tạo dự án mô phỏng mới với tên Lab4b	65
Hình 4.13	Chạy mô phỏng BAI4B_tb	67
Hình 4.14	Chọn xem dạng sóng của các tín hiệu kết quả mô phỏng	67
Hình 4.15	Dạng sóng kết quả mô phỏng BAI4B_tb	67
Hình 4.16	Tạo mới dự án thiết kế với tên Lab4b	67
Hình 4.17	Thiết lập BAI4B_test ở mức thiết kế cao nhất	68
Hình 4.18	Sơ đồ RTL BAI4B_test	68
Hình 4.19	Sơ đồ RTL BAI4B	69
Hình 4.20	Gán chân cho hệ thống dịch phải BAI4B_test	69
Hình 4.21	Nạp thiết kế Lab4b xuống board Altera DE2-115	70
Hình 4.22	Tạo dự án mô phỏng Lab4c	70
Hình 4.23	Chọn chạy mô phỏng BAI4C_tb	72
Hình 4.24	Chọn xem dạng sóng tín hiệu kết quả mô phỏng	73
Hình 4.25	Kết quả mô phỏng BAI4C_tb	73
Hình 4.26	Tạo dự án thiết kế mới có tên Lab4c	73
Hình 4.27	Thiết lập mức thiết kế cao nhất đối với tập tin BAI4C_test	74
Hình 4.28	Chọn tập tin gán chân cho thiết kế	74
Hình 4.29	Biểu diễn RTL của thiết kế BAI4C_test	75
Hình 4.30	Gán chân cho hệ thống mạch dịch trái/phải	75
Hình 4.31	Nạp thiết kế Lab4c xuống board Altera DE2-115	76
Hình 5.1	Tạo dự án mô phỏng Lab5a	78

Hình 5.2	Chọn mô phỏng thiết kế BAI5A_tb	79
Hình 5.3	Chọn xem dạng sóng của tín hiệu kết quả mô phỏng	79
Hình 5.4	Dạng sóng của tín hiệu kết quả mô phỏng BAI5A_test	79
Hình 5.5	Tạo dự án thiết kế mới với tên Lab5a	80
Hình 5.6	Thiết lập thiết kế BAI5A_test ở mức thiết kế cao nhất	80
Hình 5.7	Chọn tập tin gán chân cho thiết kế	81
Hình 5.8	Kết quả việc gán chân cho thiết kế BAI5A_test	81
Hình 5.9	Biểu diễn RTL của thiết kế BAI5A_test	81
Hình 5.10	Chọn xem biểu diễn RTL của thiết kế BAI5A	82
Hình 5.11	Biểu diễn RTL của thiết kế BAI5A	82
Hình 5.12	Nạp thiết kế BAI5A_test xuống board Altera DE2-115	82
Hình 5.13	Tạo dự án mô phỏng với tên BAI5B	83
Hình 5.14	Chọn chạy mô phỏng BAI5B_tb	84
Hình 5.15	Chọn xem dạng sóng của tín hiệu kết quả mô phỏng BAI5B_tb	85
Hình 5.16	Dạng sóng các tín hiệu kết quả mô phỏng BAI5B_tb	85
Hình 5.17	Tạo dự án thiết kế có tên Lab5b	85
Hình 5.18	Thiết lập BAI5B_test ở mức thiết kế cao nhất	86
Hình 5.19	Chọn tập tin gán chân cho thiết kế	86
Hình 5.20	Kết quả gán chân cho thiết kế BAI5B_test	86
Hình 5.21	Biểu diễn RTL của thiết kế BAI5B_test	86
Hình 5.22	Biểu diễn RTL của thiết kế BAI5B	87
Hình 5.23	Nạp thiết kế Lab5b xuống board Altera DE2-115	87
Hình 5.24	Tạo dự án mô phỏng với tên BAI5C	88
Hình 5.25	Tạo mới tập tin lập trình để testbench BAI5C_tb.v	89
Hình 5.26	Chọn thực hiện mô phỏng cho tập tin testbench BAI5C_tb.v	89
Hình 5.27	Chọn xem dạng sóng các tín hiệu kết quả mô phỏng	90
Hình 5.28	Dạng sóng của tín hiệu kết quả mô phỏng BAI5C_test	90
Hình 5.29	Tạo dự án thiết kế với tên Lab5c	90
Hình 5.30	Thiết lập BAI5_test cho mức thiết kế cao nhất	91

Hình 5.31	Kết quả gán chân cho hệ thống	91
Hình 5.32	Biểu diễn RTL của thiết kế BAI5C_test	91
Hình 5.33	Biểu diễn RTL của thiết kế BAI5C	92
Hình 5.34	Nạp thiết kế BAI5C_test xuống mạch thực hành	92
Hình 6.1	Sơ đồ trạng thái máy hữu hạn Moore	93
Hình 6.2	Dự án mô phỏng Lab6a	95
Hình 6.3	Chạy mô phỏng cho tập tin BAI6A_tb.v	95
Hình 6.4	Chọn xem dataflow của hệ thống BAI6A_tb	96
Hình 6.5	Dataflow cho thiết kế BAI6A_tb	96
Hình 6.6	Chọn xem dạng sóng kết quả mô phỏng BAI6A	97
Hình 6.7	Kết quả chạy mô phỏng thiết kế BAI6A	97
Hình 6.8	Tạo dự án thiết kế Lab6a	97
Hình 6.9	Chọn chip FPGA EP4CE115F29C7	98
Hình 6.10	Thiết lập tập tin BAI6A_test cho mức thiết kế cao nhất	98
Hình 6.11	Import tập tin gán chân cho thiết kế	98
Hình 6.12	Sơ đồ gán chân cho hệ thống BAI6A_test	99
Hình 6.13	Sơ đồ RTL của thiết kế BAI6A_test	99
Hình 6.14	Chọn xem RTL của thiết kế BAI6A	99
Hình 6.15	Biểu diễn RTL của thiết kế BAI6A	99
Hình 6.16	Sơ đồ trạng thái máy BAI6A	100
Hình 6.17	Bảng mã hóa trạng thái máy	101
Hình 6.18	Nạp thiết kế BAI6A_test xuống board DE2-115	101
Hình 6.19	Sơ đồ trạng thái máy hữu hạn Mealy	102
Hình 6.20	Tạo mới dự án mô phỏng BAI6B	102
Hình 6.21	Các tập tin lập trình đã thêm vào dự án mô phỏng	104
Hình 6.22	Chạy mô phỏng BAI6B_tb	104
Hình 6.23	Chọn xem Dataflow của BAI6B_tb	105
Hình 6.24	Hình ảnh dataflow của BAI6B_tb	105
Hình 6.25	Chọn xem dạng sóng kết quả mô phỏng BAI6B	105

Hình 6.26	Dạng sóng của các kết quả mô phỏng BAI6B	106
Hình 6.27	Tạo mới dự án thiết kế Lab6b	106
Hình 6.28	Thiết lập BAI6B_test.v là thiết kế mức cao nhất	106
Hình 6.29	Kết quả gán chân BAI6B_test	107
Hình 6.30	Biểu diễn RTL của thiết kế BAI6B_test	107
Hình 6.31	Biểu diễn RTL của thiết kế BAI6B	107
Hình 6.32	Sơ đồ và bảng trạng thái máy thiết kế BAI6B_test	108
Hình 6.33	Nạp thiết kế BAI6B_test xuống board DE2-115	108
Hình 6.34	Minh họa 2 đèn giao thông tại 1 góc ngã tư đường	109
Hình 6.35	Sơ đồ trạng thái máy hữu hạn điều khiển đèn giao thông	110
Hình 6.36	Tạo dự án mô phỏng BAI6C	110
Hình 6.37	Chọn chạy mô phỏng BAI6C_tb	113
Hình 6.38	Chọn xem sơ đồ dòng dữ liệu BAI6C	114
Hình 6.39	Sơ đồ dòng dữ liệu BAI6C	114
Hình 6.40	Chọn xem dạng sóng kết quả chạy mô phỏng	114
Hình 6.41	Dạng sóng kết quả mô phỏng thiết kế BAI6C	115
Hình 6.42	Tạo dự án thiết kế với tên Lab6c	115
Hình 6.43	Thiết lập BAI6C_test là mức thiết kế cao nhất	116
Hình 6.44	Chọn tập tin gán chân cho thiết kế BAI6C	116
Hình 6.45	Sơ đồ gán chân của thiết kế BAI6C_test	117
Hình 6.46	Sơ đồ dòng dữ liệu của thiết kế BAI6C	117
Hình 6.47	Chọn xem sơ đồ máy trạng thái của thiết kế BAI6C	117
Hình 6.48	Sơ đồ máy trạng thái của thiết kế BAI6C	118
Hình 6.49	Nạp thiết kế BAI6C_test xuống board DE2_115	119

## DANH MỤC BẢNG

Bảng 2.1	Bảng trạng thái cổng AND	21
Bảng 2.2	Bảng trạng thái cổng OR	28
Bảng 2.3	Trạng thái mạch kiểm tra chẵn lẻ chuỗi nhị phân 4 bit.	33
Bảng 3.1	Trạng thái của mạch cộng bán phần.	40
Bảng 3.2	Trạng thái hoạt động của mạch cộng toàn phần.	45
Bảng 3.3	Trạng thái mạch mã hóa ưu tiên 8 đường sang 3 đường.	52
Bảng 4.1	Trạng thái hoạt động của flip-flop D.	59
Bảng 4.2	Bảng trạng thái mạch dịch trái.	65
Bảng 5.1	Trạng thái mạch đếm nhị phân 4 bit – đếm lên	77
Bảng 6.1	Trạng thái đèn giao thông tại một góc của ngã tư.	109
Bảng 6.2	Trạng thái xe tự hành.	119



# DANH MỤC TỪ VIẾT TẮT

<b>Thuật ngữ viết tắt</b>	<b>Viết đầy đủ</b>
FPGA	Field Programmable Gate Array
RAM	Random Access Memory
ROM	Read Only Memory
SDRAM	Synchronous Dynamic RAM
VGA	Video Graphics Array
LCD	Liquid Crystal Display
JTAG	Joint Test Action Group
USB	Universal Serial Bus
DUT	Device Under Test
RTL	Register Transfer Level



## Bài 1

# GIỚI THIỆU BOARD ALTERA DE2-115, PHẦN MỀM QUARTUS II VÀ MODELSIM

### Mục đích:

- Giới thiệu board Altera DE2-115 Development Kit;
- Hướng dẫn người học cài đặt và tạo dự án (project) mô phỏng các thiết kế hệ thống số với phần mềm ModelSim;
- Hướng dẫn người học cài đặt và thiết kế hệ thống số với phần mềm Quartus II;
- Hướng dẫn các bước nạp thiết kế hệ thống số xuống chip FPGA trên board Altera DE2-115 và kiểm tra hoạt động của hệ thống.

### Yêu cầu:

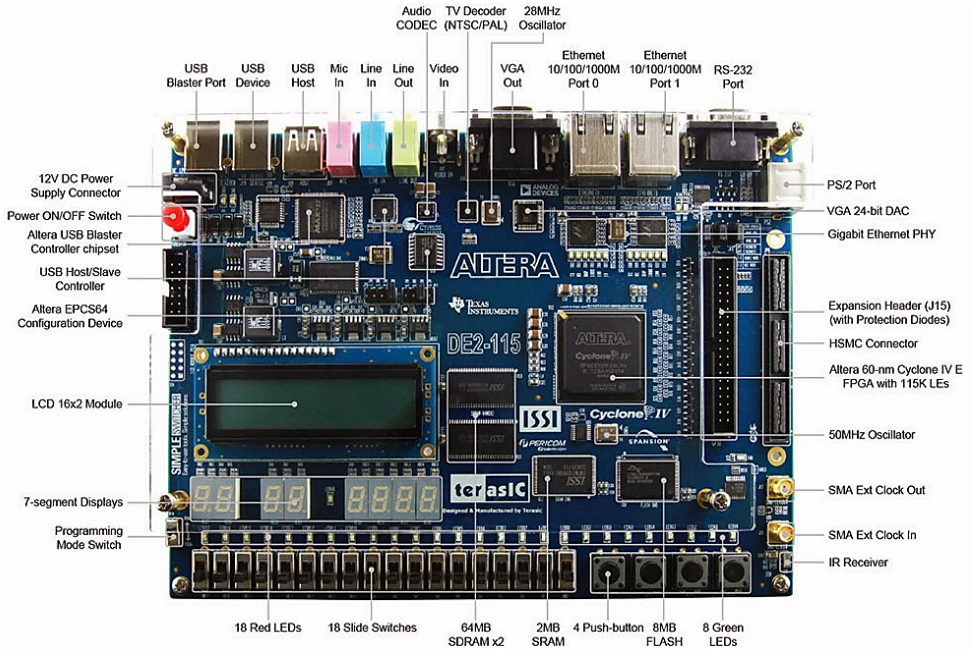
- Người học biết rõ về các ngoại vi của board Altera DE2-115 Development Kit;
- Người học nắm vững kiến thức và kỹ năng lập trình thiết kế, mô phỏng, thực hiện một hệ thống số dựa trên công nghệ FPGA.

### Lưu ý:

- Người học cần đọc kỹ tài liệu hướng dẫn này cũng như ôn lại, đọc trước các lý thuyết liên quan trong Giáo trình Mạch số được đề nghị ở đầu mỗi bài thực tập.
- Tuân thủ nghiêm các nội qui, quy định về an toàn trong quá trình thực hành.

## 1.1 GIỚI THIỆU BOARD ALTERA DE2-115

Board Altera DE2-115 Development Kit là bộ thí nghiệm mạch phục vụ cho việc nghiên cứu và phát triển trong các lĩnh vực mảng logic lập trình được (FPGA), thiết kế hệ thống số, kiến trúc máy tính và hệ thống nhúng. DE2-115 sử dụng công nghệ mới nhất về cả phần cứng lẫn công cụ thiết kế CAD (Computer-Aided Design) mang đến cho người học nhiều tiện ích, thuận lợi trong học tập, nghiên cứu và phát triển các ứng dụng.

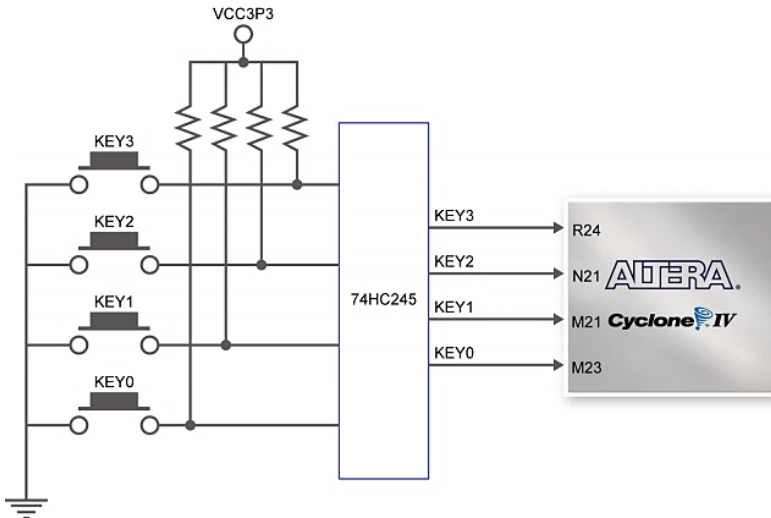


Hình 1.1 Hình ảnh thực tế board Altera DE2-115 [1]

## 1.2 CÁC NGOẠI VI CÓ TRÊN BOARD ALTERA DE2-115

### 1.2.1 Nút nhấn

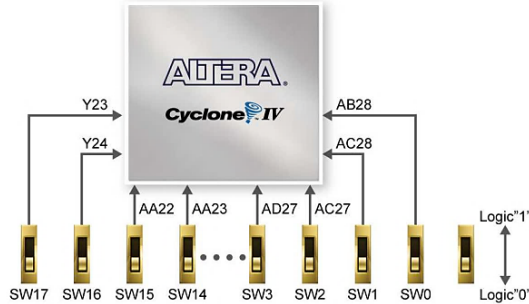
Kit DE2-115 cung cấp 4 nút nhấn được gán tên từ KEY0 đến KEY3. Các nút nhấn này ở trạng thái bình thường (khi không nhấn) ở mức logic cao (logic 1), khi được nhấn sẽ ở mức logic thấp (logic 0).



Hình 1.2 Sơ đồ kết nối giữa 4 nút nhấn và Cyclone IV [1]

## 1.2.2 Công tắc

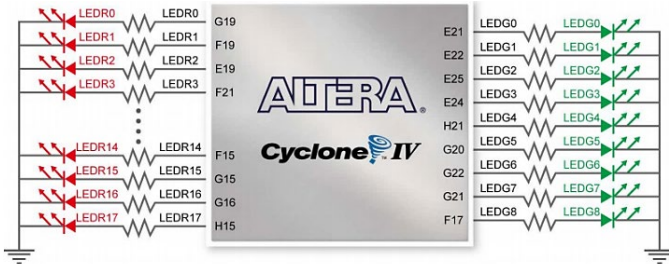
Kit DE2-115 có 18 công tắc 2 vị trí được gán tên từ SW0 đến SW17. Khi công tắc ở vị trí thấp (gần nhất với cạnh của board) thì mỗi công tắc sẽ cung cấp một mức logic thấp (logic 0) và cung cấp mức logic cao (logic 1) khi công tắc ở vị trí cao.



Hình 1.3 Kết nối giữa các switch và Cyclone IV [1]

## 1.2.3 LED đơn

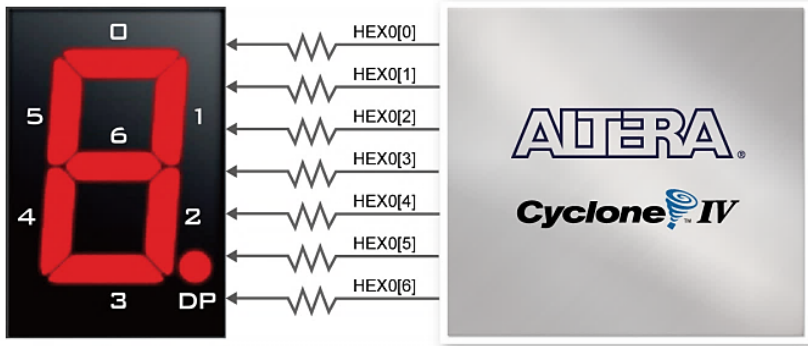
Ngoài ra board có 18 LED đơn màu đỏ và 9 LED đơn màu xanh lá, mỗi LED được kết nối trực tiếp với một chân của Cyclone IV E FPGA. Đây là các LED Cathode (cực âm) chung do đó để điều khiển LED thì chân của FPGA tương ứng nối với LED sẽ đưa ra mức logic cao để bật LED sáng và mức logic thấp để tắt LED.



Hình 1.4 Kết nối giữa các LED đơn và Cyclone IV [1]

## 1.2.4 LED 7 đoạn

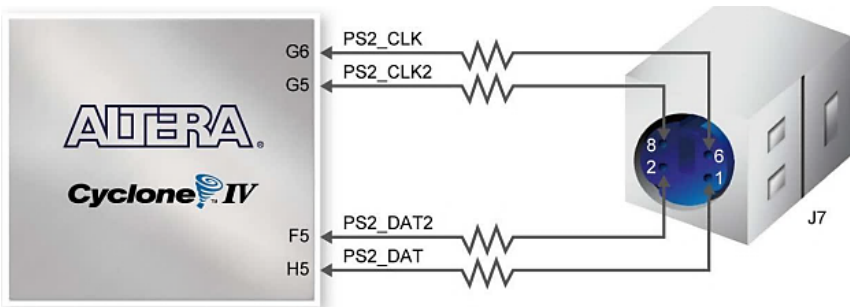
Có 8 LED 7 đoạn trên board được gán tên từ HEX0 đến HEX7, mỗi LED 7 đoạn được kết nối với chip Cyclone IV như sơ đồ Hình 1.5. Mỗi đoạn trong một LED 7 đoạn được điều khiển độc lập với nhau, ví dụ HEX0[0], HEX0[1], v.v... Các LED 7 đoạn đều là loại anode chung, mỗi đoạn của LED sáng lên khi tín hiệu điều khiển tương ứng ở logic thấp, ngược lại đoạn LED bị tắt khi tín hiệu điều khiển ở mức logic cao.



**Hình 1.5** LED 7 đoạn nối với Cyclone IV [1]

### 1.2.5 PS/2 Serial Port

Board Altera DE2-115 hỗ trợ 1 cổng giao tiếp PS/2 (Hình 1.6a). Người học có thể sử dụng bàn phím và con chuột cùng một lúc bằng cách sử dụng cáp mở rộng PS/2 (Hình 1.6b).



**Hình 1.6a** Sơ đồ kết nối PS/2 trên board DE2-115 [1]

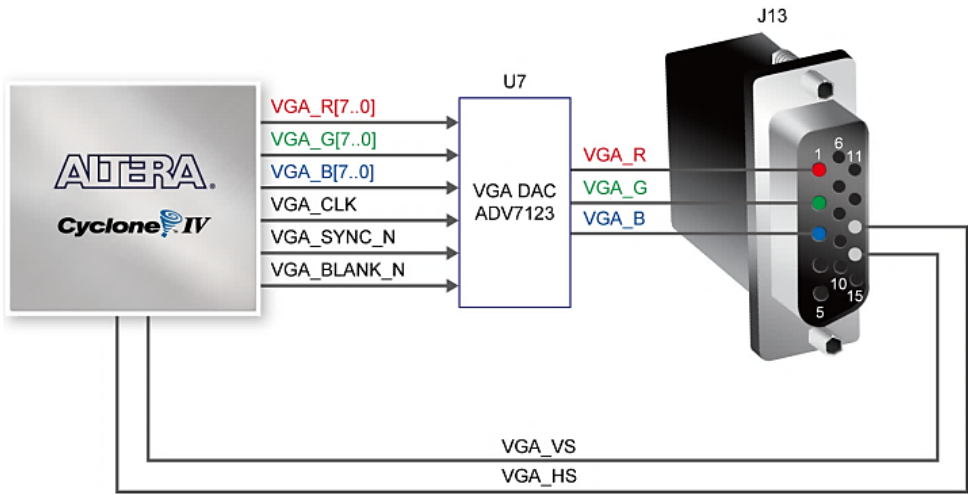


**Hình 1.6b** Cáp mở rộng PS/2Y [1].

### 1.2.6 Cổng VGA

Board DE-115 có 1 cổng VGA với cổng nối 15-pin D-SUB. Các tín hiệu đồng bộ hóa VGA được cung cấp trực tiếp từ Cyclone IV E FPGA và các thiết bị Analog Devices ADV7123 triple 10-bit high speed video được sử dụng.

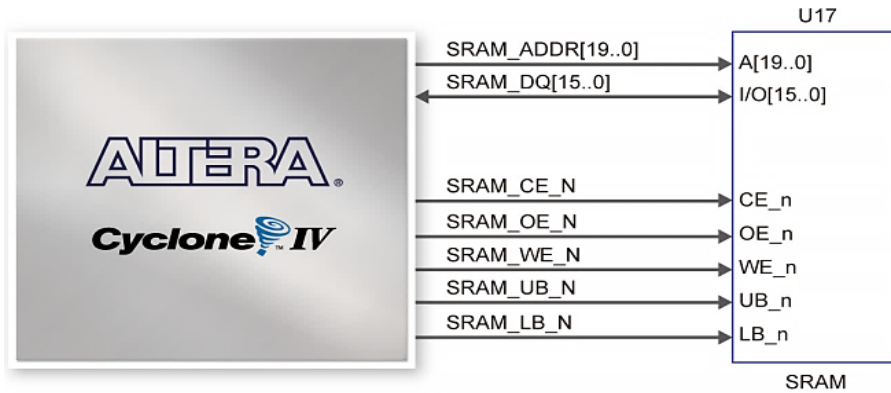
dụng để tạo ra các tín hiệu hình ảnh. Nó có thể hỗ trợ cho chuẩn SXGA với độ phân giải 1280 x 1024 pixel với băng thông 100 MHz.



**Hình 1.7** Sơ đồ kết nối VGA trên board DE2-115 [1]

### 1.2.7 SRAM

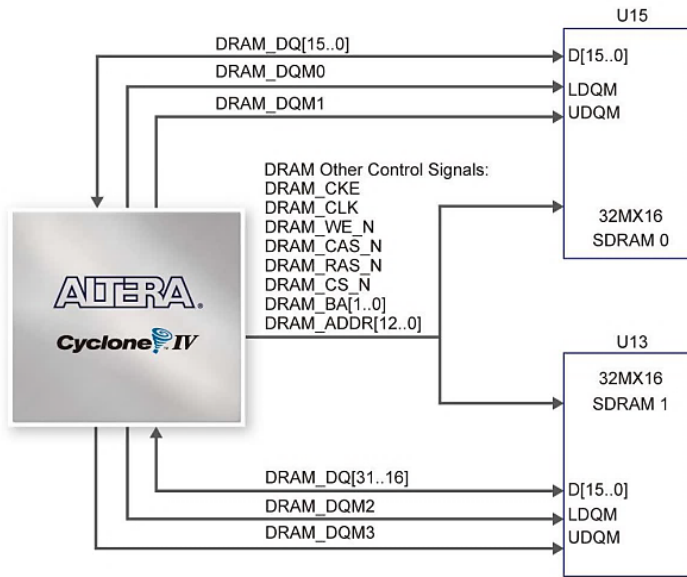
Board Altera DE-115 sử dụng bộ nhớ 2MB SRAM với độ rộng dữ liệu 16 bit, được sử dụng với tần số hoạt động lớn nhất khoảng 125 MHz trong điều kiện điện thế cung cấp 3,3 V. Bộ nhớ SRAM được kết nối với chip Cyclone IV FPGA như Hình 1.8.



**Hình 1.8** Sơ đồ kết nối SRAM trên board DE2-115 [1]

### 1.2.8 SDRAM

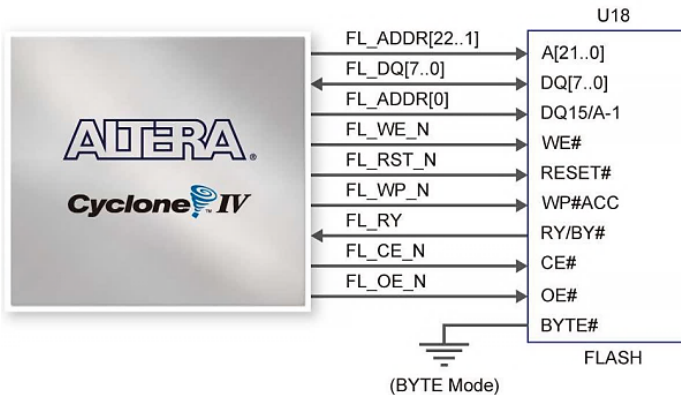
Board sử dụng 128MB SDRAM, bao gồm 2 chip SDRAM 64 MB. Mỗi một chip SDRAM giao tiếp với chip FPGA thông qua đường dữ liệu 16 bit riêng biệt và chia sẻ chung đường điều khiển và địa chỉ.



Hình 1.9 Sơ đồ kết nối SDRAM trên board5 DE2-11[1]

## 1.2.9 FLASH

Bộ nhớ Flash trên board có dung lượng 8MB sử dụng bus dữ liệu 8 bit và sử dụng chuẩn tín hiệu 3.3 V CMOS. Bởi vì bộ nhớ Flash là bộ nhớ không mất dữ liệu khi mất điện, nên nó thường được sử dụng để lưu trữ dữ liệu chương trình, hình ảnh âm thanh,...

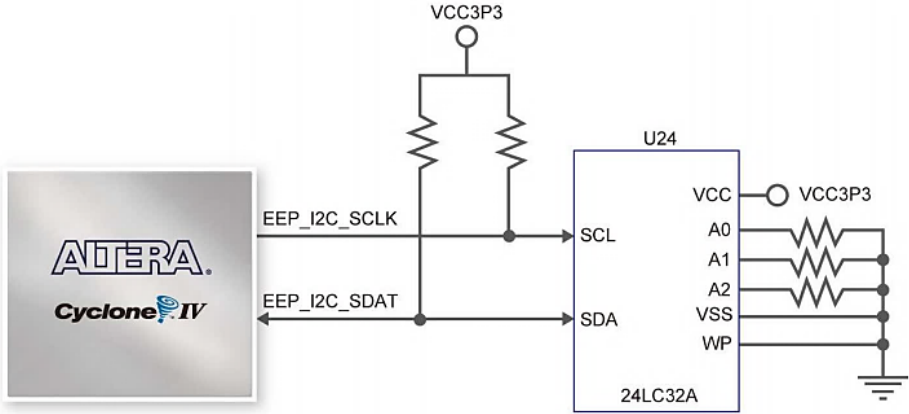


Hình 1.10 Sơ đồ kết nối FLASH trên board DE2-115 [1]

## 1.2.10 EEPROM

Board Altera DE2-115 có 32 Kb EEPROM truy xuất theo chuẩn I2C, có thể được sử dụng như là nơi lưu trữ dữ liệu như thông tin phiên bản, địa chỉ MAC, v.v...

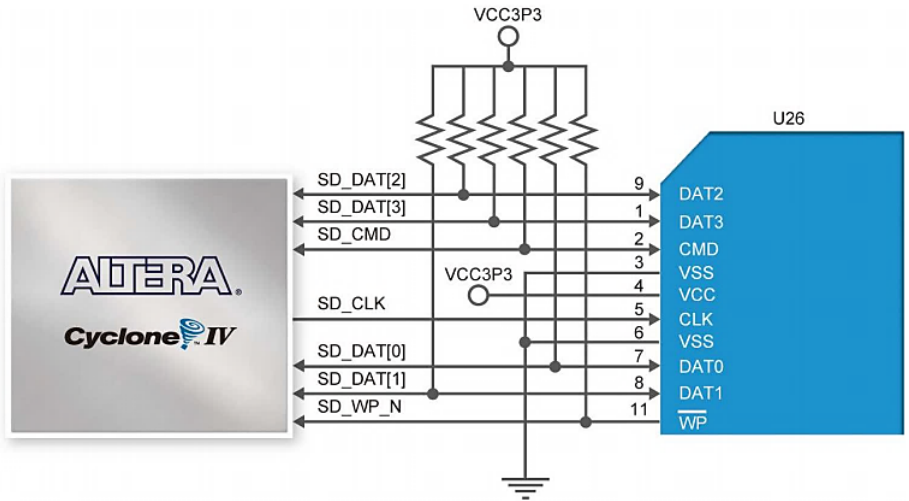




Hình 1.11 Sơ đồ kết nối bộ nhớ EEPROM trên board DE2-115 [1]

### 1.2.11 Thẻ nhớ SD

Nhiều ứng dụng sử dụng những bộ nhớ ngoài có dung lượng lớn như thẻ SD (Secure Digital) hoặc thẻ CF ` lưu trữ dữ liệu. Board Altera DE2-115 cung cấp phần cứng cần thiết cho việc giao tiếp với thẻ nhớ SD. Thẻ nhớ SD có thể được lập trình truy theo chuẩn giao tiếp SPI, chế độ SD card 4 bit hoặc 1 bit.



Hình 1.12 Sơ đồ kết nối thẻ nhớ SD trên board DE2-115 [1]

## 1.3 PHẦN MỀM MODELSIM

ModelSim là phần mềm cung cấp môi trường mô phỏng và kiểm thử các thiết kế hệ thống số bằng ngôn ngữ mô tả phần cứng của Mentor được sử dụng rộng rãi hiện nay. Chức năng của phần mềm ModelSim như sau: